

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-327158

(43)Date of publication of application : 08.12.1998

(51)Int.Cl. H04L 12/28
H04L 7/02
H04Q 3/00

(21)Application number : 09-133349

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.05.1997 (72)Inventor : OWADA SATORU

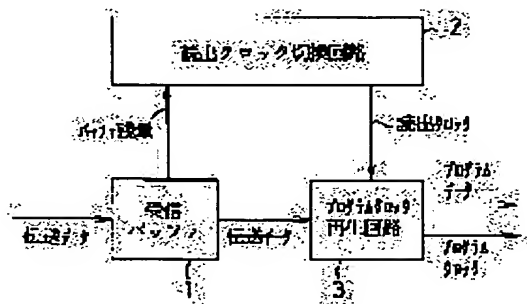
(54) CLOCK REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform reproduction without being affected by jitter by performing switching and control to a rate of read clock based on a data amount stored in a storage means and controlling constant the average rate of transmission data to be read out of the storage means.

SOLUTION: When transmission rate is temporarily decelerated by the fluctuation of transmission speed and the decrease of data amount stored in a reception buffer 1 is confirmed, a read clock switching means 2 selects a read clock sufficiently

decelerated rather than its change rate. When the transmission rate is temporarily accelerated by the fluctuation of transmission rate and the increase of data amount stored in the buffer 1 is confirmed, on the other hand, the switching circuit 2 selects a read clock sufficiently accelerated rather than its change rate. This switching control is performed in a cycle shorter than the extraction cycle of timing signal due to a program clock reproducing circuit 3. Thus, the transmission rate of transmission data to be read by the reproducing circuit 3 is averaged and these data are inputted to the reproducing circuit 3 at



almost fixed rate.

LEGAL STATUS

[Date of request for examination] 22.02.2000

[Date of sending the examiner's
decision of rejection] 03.09.2002

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-327158

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

7/02

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 7/02

Z

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平9-133349

(22) 出願日 平成9年(1997)5月23日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大和田 哲

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

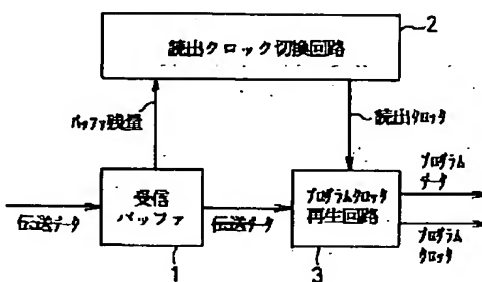
(74) 代理人 弁理士 工藤 宜幸

(54) 【発明の名称】 クロック再生装置

(57) 【要約】

【課題】 受信された伝送データから直接プログラムクロックを再生すると、ジッタの影響が重畳するのを避け得ない。

【解決手段】 伝送路を介して受信された伝送データを、一時蓄積し、所定の読出クロックにて読み出す伝送データ記憶手段と、伝送データ記憶手段に記憶されている伝送データのデータ量を監視し、当該データ量に基づいて予め用意している複数種類の読出クロックのうちいずれか一つを選択して出力する読出クロック切換手段と、読出クロック切換手段より与えられる読出クロックに基づいて、伝送データ記憶手段より伝送データを読み出し、当該伝送データからプログラムデータのクロックを再生するプログラムクロック再生手段とを設けるようにする。



【特許請求の範囲】

【請求項1】 上位階層のプログラムデータのクロックとは、何らの関係を有しない送信クロックで伝送される伝送データより、上記プログラムデータのクロックを再生するクロック再生装置において、

伝送路を介して受信された上記伝送データを、一時蓄積し、所定の読出クロックにて読み出す伝送データ記憶手段と、

上記伝送データ記憶手段に記憶されている上記伝送データのデータ量を監視し、当該データ量に基づいて予め用意している複数種類の読出クロックのうちいずれか一つを選択し出力する読出クロック切換手段と、

上記読出クロック切換手段より与えられる読出クロックに基づいて、上記伝送データ記憶手段より伝送データを読み出し、当該伝送データからプログラムデータのクロックを再生するプログラムクロック再生手段とを備えることを特徴とするクロック再生装置。

【請求項2】 請求項1における上記読出クロック切換手段は、

上記伝送データ記憶手段に記憶されている上記伝送データのデータ量を監視するデータ量監視部と、

当該データ量監視部の制御に基づいて発生する発振周波数を、発生し得る複数種類の発振周波数のうちいずれかに選択的に切り換える発振回路とを有することを特徴とするクロック再生装置。

【請求項3】 請求項1における上記読出クロック切換手段は、

上記伝送データ記憶手段に記憶されている上記伝送データのデータ量を監視するデータ量監視部と、

固有の周波数で発振する固有周波数発振回路と、

上記固有周波数発振回路において発生された発振出力を分周し、上記固有周波数に比して高周波の第1の分周出力を生成する1又は複数の第1の分周手段と、

上記固有周波数発振回路において発生された発振出力を分周し、上記固有周波数に比して低周波の第2の分周出力を生成する1又は複数の第2の分周手段と、

上記第1及び第2の分周手段の各出力を入力し、上記データ量監視部の制御に基づいて、上記各出力のうちいずれか一つを選択的に出力する選択手段とを有することを特徴とするクロック再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック再生装置に関し、例えば、伝送路を介して受信された伝送データからプログラムクロックを再生し、当該クロックを用いてプログラムデータを処理する端末装置に用いて好適なものである。

【0002】

【従来の技術】今日、各種メディアを統合するネットワークシステムの実現が望まれており、関連技術の開発が

積極的に進められている。かかるネットワークシステムにおいては、処理速度を異にする各種メディアデータ（以下、プログラムデータという。）を同一伝送路上で伝送することになるが、各メディアに要求される処理速度と伝送速度との間には、何らの関係がない場合もある。

【0003】このような場合に、受信装置側において適切な処理速度でプログラムデータを処理できるようにするためには、各プログラムデータの処理に適したクロック（以下、プログラムクロックという。）を何らかの方法で伝送し、受信側において再生できる仕組みが必要となる。そこで、送信装置側でプログラムデータ中にタイミング信号を挿入し、これを受信装置側で抽出することにより必要とされるプログラムクロックを再生する方法が採られている。

【0004】図2に、この方式の概念図を示す。なお、かかる方式では、図3に示す構成のPLL（Phase Locked Loop）発振回路が用いられ、発振出力の位相をタイミング信号の位相に一致させることにより、当該プログラムデータの処理に必要なプログラムクロックを再生する構成が採られている。

【0005】

【発明が解決しようとする課題】ところが、伝送路上には伝送遅延等が存在し、その影響により伝送データにジッタが重畳するのを避け得ない。このため、かかるジッタが重畳した伝送データからプログラムデータ用のタイミング信号を直接抽出し、これをそのままPLL発振回路に入力すると、当該タイミング信号の時間変動の影響により、再生されるプログラムクロックの精度が劣化するおそれがある。

【0006】そこで、PLL発振回路を構成するローパスフィルタの時定数を大きくし、かかる影響を少なくすることが考えられるが、時定数を大きくすると、回路が複雑化し、クロック再生開始時間も長期化される等、別の問題が生じてしまう。

【0007】

【課題を解決するための手段】本発明は、かかる課題を解決するため、上位階層のプログラムデータのクロックとは、何らの関係を有しない送信クロックで伝送される伝送データより、プログラムデータのクロックを再生するクロック再生装置において、以下の手段を設けるようにする。

【0008】すなわち、(1) 伝送路を介して受信された上記伝送データを、一時蓄積し、所定の読出クロックにて読み出す伝送データ記憶手段と、(2) 伝送データ記憶手段に記憶されている伝送データのデータ量を監視し、当該データ量に基づいて予め用意している複数種類の読出クロックのうちいずれか一つを選択し出力する読出クロック切換手段と、(3) 読出クロック切換手段より与えられる読出クロックに基づいて、伝送データ記憶手段よ

り伝送データを読み出し、当該伝送データからプログラムデータのクロックを再生するプログラムクロック再生手段とを設けるようにする。

【0009】本発明におけるクロック再生装置では、伝送データ記憶手段に記憶されているデータ量として速度の遅い読出クロックを選択し、記憶されているデータ量が多くなった場合には速度の速い読出クロックを選択し、伝送データ記憶手段に記憶されているデータ量が平均値からはずれないようにする。この結果、読み出される伝送データの平均速度（検出対象である長周期のプログラムクロックから見た平均速度）は、ジッタの影響を無視し得る一定速度となる。これにより、PLL回路を用いない簡易な構成でありながら、ジッタの影響を含まないでプログラムクロックを再生できる。

【0010】

【発明の実施の形態】

(A) 第1の実施形態

図1に、本発明に係るクロック再生装置の基本構成となる第1の実施形態を示す。このクロック再生装置は、伝送路で生じた伝送速度の変動（ジッタ）を、バッファ手段と適当な読出クロックを用いて吸収し、時間変動のない伝送データから高精度のプログラムクロックを再生するものである。

【0011】このクロック再生装置は、受信バッファ1と、読出クロック切換回路2と、プログラムクロック再生回路3の3つの回路からなる。

【0012】ここで、受信バッファ1は、伝送路より受信された伝送データを一時蓄えるのに用いるメモリ回路であり、後述する読出クロックに基づいて蓄積データを読み出す構成となっている。

【0013】読出クロック切換回路2は、受信バッファ2のバッファ残量を一定時間ごとに監視し、そのバッファ残量に基づいて、予め用意されている複数種類の読出クロックの中から適切な読出クロックを一つ選択し出力する回路である。この読出クロック切換回路2は、出力される読出クロックの平均速度が、本来の伝送速度と同じになるように十分短い周期で読出クロックの切り換えを実行するようになっている。

【0014】なお、この制御を実現するため、読出クロックとしては、伝送路の伝送速度の変化よりも十分早く変化し得る周波数又は十分遅く変化し得る少なくとも2種類のクロックを用意するものとする。

【0015】また、読出クロックの切換による変動が後段のプログラムクロック再生回路3に影響を与えないように、この読出クロック切換回路2は、プログラムクロック再生回路3によるタイミング信号の抽出周期よりも十分短い周期で、当該メモリ残量を検出し、必要な読出クロックの切換を実行するものとする。

【0016】プログラムクロック再生回路3は、読出クロック切換回路2から与えられる読出クロックに基づい

て、受信バッファ1に蓄積されている伝送データを読み出し、その読み出された伝送データからタイミング信号を抽出し、プログラムクロックを再生する回路である。

【0017】次に、かかる構成を有するクロック再生装置の動作例を説明する。

【0018】まず、伝送速度の変動により一時的に伝送速度が低下し、受信バッファ2に蓄積されているデータ量が減少したことが確認されたとき、読出クロック切換回路2は、その変化率より十分遅い読出クロックを選択してバッファ残量を増加させ、バッファ残量が平均値に戻るよう制御する。

【0019】これに対して、伝送速度の変動により一時的に伝送速度が上昇し、受信バッファ2に蓄積されているデータ量が増加したことが確認されたとき、読出クロック切換回路2は、その変化率より十分早い読出クロックを選択してバッファ残量を減少させ、バッファ残量が平均値に戻るよう制御する。

【0020】この切換制御に必要なバッファ残量の検出は、前述したように、プログラムクロック再生回路3によるタイミング信号の抽出周期よりも十分短い周期で行われ、その読出クロックの切換も同様に実行される。これにより、プログラムクロック再生回路3に読み出される伝送データの伝送速度は平均化し、ほぼ一定速度でプログラムクロック再生回路3に入力されることになる。

【0021】従って、プログラムクロック再生回路3では、伝送路上での変動の影響を受けることなく、精度の高いプログラムクロックが再生されることになる。

【0022】なお、上述の説明においては、本実施形態のクロック再生回路において主要回路である読出クロック切換回路2の具体的な内部構成については言及しなかったが、この読出クロック切換回路2の具体的な構成例を、次の第2及び第3の実施形態において説明する。

【0023】以下、複数種類の周波数の読出クロックを選択的に発生できる発振器を用いる場合の例を第2の実施形態において説明し、発生される周波数が固定である発振器を用いる場合の例を第3の実施形態において説明する。

【0024】(B) 第2の実施形態

図4に、第2の実施形態に係るクロック再生回路の構成を示す。なお、図4には、図1との対応、同一部分に对应、同一符号を付している。従って、読出クロック切換回路2'の構成を除く他の構成は、第1の実施形態の場合と同様である。

【0025】この実施形態に係る読出クロック切換回路2'は、バッファ残量監視回路4と発振器5からなる。

【0026】バッファ残量監視回路4は、所定周期で受信バッファ1のバッファ残量を検出する回路であり、検出結果に基づいて発振器5に発振周波数の切換を指示する手段である。

【0027】なお、このバッファ残量監視回路4におけるバッファ残量検出周期は、伝送データに挿入されているプログラムクロック再生用のタイミング信号の周期よりも十分短い周期に設定されている。

【0028】このバッファ残量監視回路4は、バッファ残量が少ない場合、発振器5の周波数を下げ、バッファ残量が多い場合、発振器5の周波数を上げるよう制御を行う。

【0029】発振器5は、発生周波数をバッファ残量監視回路4の制御に基づいて変更し得る機能を備えた発振器であり、この例の場合、3種類の周波数を選択的に発生し得るようになっていて、ここでは、3種類の周波数として、ジッタを含まない本来の伝送速度と同一の周波数 f_{av} と、伝送路上で発生する伝送速度の変化率より十分高い周波数 f_h ($> f_{av}$) と、伝送路上で発生する伝送速度の変化率より十分低い周波数 f_l ($< f_{av}$) との3つを用いる。

【0030】次に、以上の構成を有するクロック再生回路によるクロック再生動作を説明する。ここでは、伝送路から受信された伝送データが受信バッファ1に蓄積された後の状態から説明する。

【0031】まず、伝送路の伝送速度が、一時的に遅くなった場合について説明する。なお、直前までは、正常速度で伝送されており、発振器5からは本来の周波数 f_{av} が出力されているものとする。

【0032】このとき、受信バッファ1に対する書き込みよりも読み出し速度の方が大きくなるため、受信バッファ1のデータ量は減少し始める。この減少は、バッファ残量監視回路4において即座に検出され、当該バッファ残量監視回路4から発振器5に対して、3種類の周波数の中で最も低い周波数 f_l を発生するように指示が出される。

*【0033】ここで、この周波数 f_l は、伝送路上で生じた伝送速度の変動よりも十分大きな変動率で遅くなるため、この読出クロックの変更にによりバッファ残量は増加に転じる。やがて、本来のデータ量に戻ると、バッファ残量監視回路4は発振器5に対して通常の周波数 f_{av} に戻すように指示を出す。

【0034】これに対して、伝送路の伝送速度が、一時的に早くなった場合には、次のような動作が行われる。すなわち、この場合には、受信バッファ1に対する書き込みよりも読み出し速度の方が遅くなるので、受信バッファ1のデータ量は増加し始める。この増加は、バッファ残量監視回路4において即座に検出され、当該バッファ残量監視回路4から発振器5に対して、3種類の周波数の中で最も高い周波数 f_h を発生するように指示が出される。

【0035】ここで、この周波数 f_h は、伝送路上で生じた伝送速度の変動よりも十分大きな変動率で早くなるため、この読出クロックの変更にによりバッファ残量は減少に転じる。やがて、本来のデータ量に戻ると、バッファ残量監視回路4は発振器5に対して通常の周波数 f_{av} に戻すように指示を出す。

【0036】以上の動作は、受信バッファ5のデータ量が増減するたびに繰り返される。その結果、発振器5において発生される読出クロックの周波数は、マクロ的には通常周波数 f_{av} に一致する。

【0037】ただし、周波数の異なる3種類の周波数 f_{av} 、 f_h 、 f_l を切り替える限りにおいて、ミクロ的には、当該読出クロックに次式で与えられる周期 T の変動が存在する。

【0038】
【数1】

*

$$\text{バッファの残量の検出周期} = \frac{\text{伝送速度の変動量}}{\text{クロック発生器(B)の変動量}} \times \text{バッファの変動単位}$$

ここで、受信バッファ1の変動単位とは、読出クロックの変動が受信バッファ1の検出量に与える影響量をいう。

【0039】勿論、この周期 T が、検出対象であるタイミング信号の抽出周期に対して無視し得ないレベルであると、高い精度のプログラムクロックを再生することはできないが、この実施形態における発振器5において発生されるクロックの変化量 ($f_{av} - f_h$ 、 $f_{av} - f_l$) は伝送速度の変化量に対して十分大きく設定されており、また、バッファ残量の検出周期やバッファの変動単位も十分小さく設定し得ることから、その周期的な変動は、プログラムクロック再生回路3におけるタイミング信号の抽出に何らの影響を与えない。

【0040】また、伝送速度が定常的である限り、発振器5が発生する周波数が通常の周波数以外の周波数とな

る時間が即座に変化するので、ローパスフィルタを用いる場合のように変化が現れるまでに長時間を要するなどの欠点もなく、再生開始時間に与える影響も少なく済ませることが可能である。

【0041】以上のように、本実施形態によれば、受信バッファ1のバッファ残量に基づいて、発振器5の発振周波数を3段階で切り換え、受信バッファ1から伝送データの読み出しに用いる読出クロックの平均速度が、速度変動の影響を受けない理想性に近づくようにしたことにより、読出し後の伝送データから高い精度でプログラムクロックを再生できる簡易な構成のクロック再生装置を実現できる。

【0042】(C) 第3の実施形態

図5に、第3の実施形態に係るクロック再生回路の構成を示す。なお、図5には、図1との対応、同一部分に対

応、同一符号を付している。従って、読出クロック切換回路2"の構成を除く他の構成は、第1の実施形態の場合と同様である。

【0043】この実施形態に係る読出クロック切換回路2"は、バッファ残量監視回路4と、固定周波数発振器6と、第1及び第2の分周回路7及び8と、セクタ9とからなる。

【0044】ここで、バッファ残量監視回路4'は、所定周期で受信バッファ1のバッファ残量を検出する回路であり、検出結果に基づいて、セクタ9の出力を2者

択一的に切り換え制御する手段である。

【0045】なお、このバッファ残量監視回路4'におけるバッファ残量検出周期 T_k は、伝送データに挿入されているプログラムクロック再生用のタイミング信号の周期よりも十分短い周期に設定されている。

【0046】このバッファ残量監視回路4'は、バッファ残量が容量の midpoint より多い場合、セクタ9を第1の分周回路7に合わせて発振周波数 f_h を選択することにより読出クロックを速め、バッファ残量が容量の midpoint より少ない場合、セクタ9を第2の分周回路8に合わせて発振周波数 f_l を選択することにより読出クロックを

遅くするよう制御を行う。

【0047】固定周波数発振器6は、伝送データの伝送用に挿入されるクロック(例えば、TS:(Transport Stream)クロック)に対して数倍の発振周波数 f_s で発振する発振器である。

【0048】第1の分周回路7は、固定周波数発振器6の発振周波数 f_s を分周し、発振周波数 f_s よりも f_b だけ高い発振周波数 $f_h (= f_s + f_b)$ を生成する分周手段である。

【0049】第2の分周回路8は、固定周波数発振器6の発振周波数 f_s を分周し、発振周波数 f_s よりも f_b だけ低い発振周波数 $f_l (= f_s - f_b)$ を生成する分周手段である。

【0050】セクタ9は、前述のように第1及び第2の分周回路7及び8から発振周波数 f_h 及び f_l をそれぞれ入力し、バッファ残量監視回路4'の制御命令に基づいて、いずれか一方を2者択一的に出力する手段である。

【0051】次に、以上の構成を有するクロック再生回路によるクロック再生動作を説明する。ここでは、伝送路から受信された伝送データが受信バッファ1に蓄積された後の状態から説明する。

【0052】まず、伝送路の伝送速度が、本来の速度に一定している場合について説明する。この場合、伝送速度に対応する周波数は発振周波数 f_s と一致しているのに対し、セクタ9から与えられる読出クロック(f_h 又は f_l)は、当該発振周波数 f_s よりも周波数が f_b だけ大きい又は小さい関係にある。

【0053】従って、受信バッファ1のバッファ残量は

容量 midpoint を挟んで上下し、バッファ残量監視回路4'が選択する発振周波数は f_h と f_l とを交互に繰り返すことになる。この結果、受信バッファ1から読み出されるプログラムクロック再生回路3に読み出される伝送データには、大きさが f_b で周期が T_k のジッタが重畳してしまふ。

【0054】しかしながら、このジッタの周期 T_k は、前述したように、本クロック再生回路が再生目的とするプログラムクロックを再生するためのタイミング信号の挿入間隔 T_p に対して十分短いため、間隔 T_p から見たその影響はほとんど無視し得る範囲となる。すなわち、バッファ残量に基づいて得られる読出クロックの周波数の平均値 f_{av} と、伝送データの理想的な伝送速度 f_{send} とは、間隔 T_p から見たとき一致するものと見なせる。

【0055】これを、次式にて示す。まず、読出クロック周波数の平均値 f_{av} は、セクタ9が第1の分周回路7の発振周波数 f_h を選択した時間を $T_h (= T_p - T_1)$ 、第2の分周回路8の発振周波数 f_l を選択した時間を T_1 としたとき、次式で与えられる。

【0056】

【数2】

$$f_{av} = \frac{T_h \cdot f_h + T_1 \cdot f_l}{T_p}$$

一方、伝送データの理想周波数 f_{send} には、次式の関係が成り立つ。

【0057】

【数3】

$$T_l = \frac{f_{send} - f_l}{2 f_b} \cdot T_p$$

以上より、 $T_h = T_1$ のとき、 $f_{send} = f_{av}$ が成立することが分かる。

【0058】ただし、実際の f_{send} には、この T_h 及び T_1 をバッファ量監視周期 T_k で正規化することにより生じるずれ量 $T_k \cdot f_b$ が含まれてしまう。このずれ量は、プログラムクロックを与えるタイミング信号の間隔 T_p から見ると、 $(T_k \cdot f_b) / T_p$ で与えられる。

【0059】しかし、 f_b は、固定発振周波数 f_s と理想周波数 f_{send} とのずれ量を十分吸収できる値であれば良いため、さほど大きくする必要はない。従って、監視周期 T_k が T_p より十分短ければ、 $(T_k \cdot f_b) / T_p$ はほぼ0になる。

【0060】このように、正規化によるずれ量を考慮しても、2種類の発振周波数を切り換えることによって得られる読出クロックの平均周波数 f_{av} は、送信時における伝送データの伝送用に挿入されるクロック(例えば、TS(Transport Stream)クロック)と誤差を無視し得るほど十分近い値になる。

【0061】従って、当該読出クロックで読み出された

伝送データから抽出されたタイミング信号に基づいて再生されたプログラムクロックは、高い精度を維持することができる。

【0062】なお、伝送路上における伝送速度が一時的に遅くなる場合や速くなる場合の動作も前述の場合と同様であり、受信バッファ1に入力される伝送データ量が変動する分、一時的に、セクタ9で選択される周波数が一方の周波数 f_h 又は f_l に偏ることがあってもタイミング信号の抽出周期からみれば平均し、同様の結果が得られることになる。

【0063】以上のように、本実施形態によれば、受信バッファ1のバッファ残量に基づいて、受信バッファ1から読み出す読出クロックの速度を、発振器5の発振周波数に基づいて3段階で切り換え制御し、当該読出クロックの平均速度を速度変動の影響のない理想特性に近づけたことにより、読出し後の伝送データから高い精度でプログラムクロックを再生できる簡易な構成のクロック再生装置を実現することができる。

【0064】以上のように、本実施形態によれば、受信バッファ1のバッファ残量に基づいて、セクタ9が出力する発振周波数を2段階で切り換え、受信バッファ1から伝送データの読み出しに用いる読出クロックの平均速度が、速度変動の影響を受けない理想性に近づくようにしたことにより、読出し後の伝送データから高い精度でプログラムクロックを再生できる簡易な構成のクロック再生回路を実現できる。

【0065】また、本実施形態に係るクロック再生回路の場合には、単一の周波数を分周して2種類の発振周波数を得る構成となっており、ディジタル化に適した回路素子で実現できるため、クロック再生回路の一層の小型化及びコストダウンを実現することができる。

【0066】(D)他の実施形態

なお、上述の各実施形態においては、伝送対象であるプログラムクロックと伝送速度との間に何らの関係がない場合において、伝送データからプログラムクロックを再生するのに用いるクロック再生回路の一般構成例を示したが、例えば、ATM（非同期通信モード）網上でMP EG（Moving Picture Experts Group）データを伝送するネットワークシステムの受信端末に適用することができる。

【0067】この場合の回路構成例を図6に示す。図6において、TS-DMUXは、トランスポートストリーム・デマルチプレクサである。TS-DMUXは、バッファ残量に基づいて決定したTSクロックでTSストリームを読み出して、MPEGバイトストリーム（プログラムデータ）と映像用クロック（プログラムクロック）

とを再生する手段である。

【0068】ATM網上では、データの送信端末から受信端末に到達するまでの時間に変動が現れるため、データ伝送速度が変化したように見えるが、このクロック再生回路を受信端末に用いれば、ATM網上における速度変動を吸収して高精度での映像用クロックの再生を実現できる。

【0069】また、上述の第2の実施形態においては、3段階で発振周波数を切り換えることができる発振器5を用いる場合について述べたが、これに限られるものではなく、2段階で発振周波数を切り換え制御できるものや4段階以上で発振周波数を切り換え制御できるものにも適用し得る。

【0070】さらに、上述の第3の実施形態においては、2つの分周回路を用い、2種類の読出クロックを選択できるようにしたが、これに限らず、3つ以上の分周回路を用い、3種類以上の読出クロックを選択できるようにしても良い。

【0071】

【発明の効果】上述のように、本発明によれば、伝送データ記憶手段に記憶されているデータ量に基づいて読出クロックの速度を切換制御し、伝送データ記憶手段から読み出される伝送データの平均速度を、伝送路上におけるジッタの存在によらず一定速度になるように制御したことにより、PLL回路を用いない簡易な構成でありながら、ジッタの影響を受けずにプログラムクロックを再生することができる。

【図面の簡単な説明】

【図1】クロック再生回路の基本回路構成を示すブロック図である。

【図2】タイミング信号の伝送方式の基本概念を示す図である。

【図3】従来用いられているクロック再生回路の構成を示すブロック図である。

【図4】複数の発振周波数を発生し得る発振器を用いる場合の回路例を示すブロック図である。

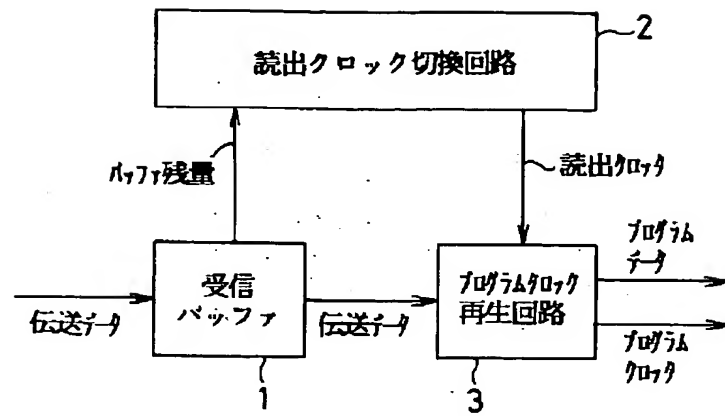
【図5】分周回路を用いて複数の発振周波数を発生する場合の回路例を示すブロック図である。

【図6】ATM網上で伝送されるMPEGデータからMPEG用のクロックを再生するのに用いられるクロック再生回路の一例を示すブロック図である。

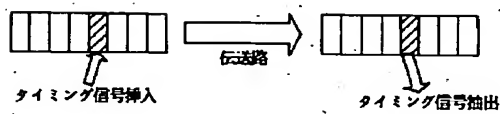
【符号の説明】

1…受信バッファ、2、2'、2''…読出クロック切換回路、3…プログラムクロック再生、4、4'…バッファ残量監視回路、5…発振器、6…固定周波数発振器、7、8…分周回路、9…セクタ。

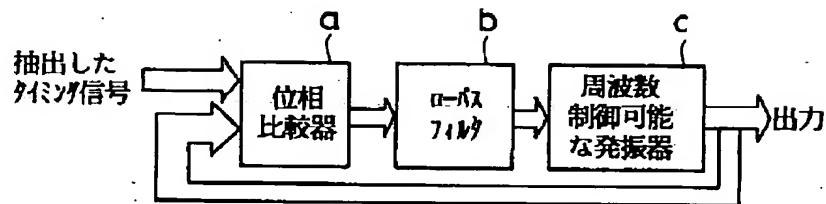
【図1】



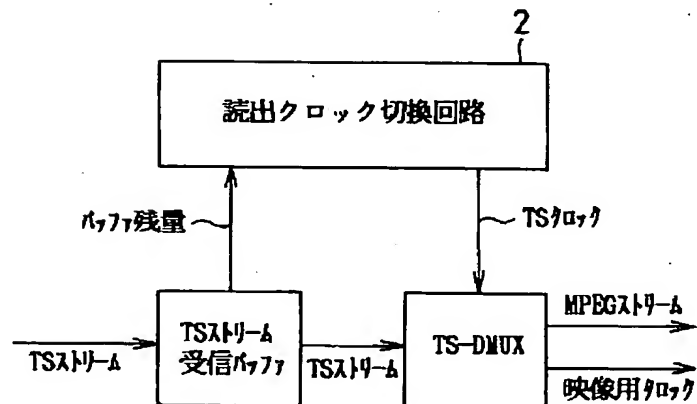
【図2】



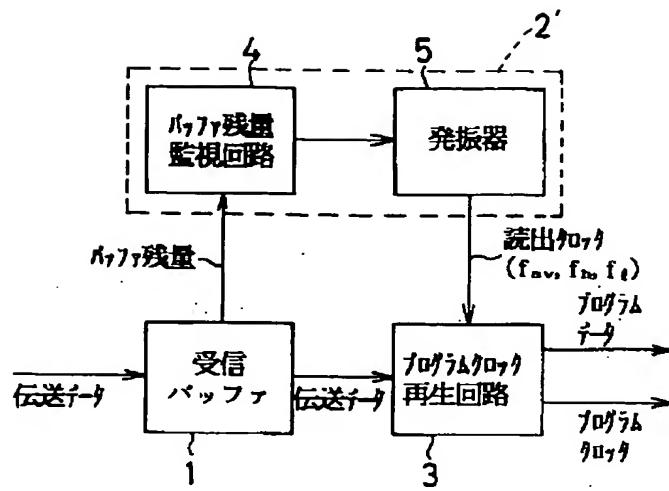
【図3】



【図6】



【図4】



【図5】

